

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020010002981 A
 (43) Date of publication of application: 15.01.2001

(21) Application number: 1019990023080
 (22) Date of filing: 19.06.1999

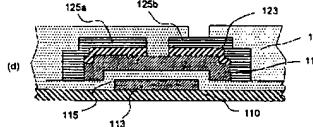
(71) Applicant: LG.PHILIPS LCD CO., LTD.
 (72) Inventor: CHOI, JAE BEOM
 PARK, YONG IN
 YOEN, DEOK CHEOL

(51) Int. Cl H01L 29/786

(54) METHOD FOR MANUFACTURING HYDROGENATED AMORPHOUS SILICON TFT AT LOW TEMPERATURE

(57) Abstract:

PURPOSE: A method for manufacturing a hydrogenated amorphous silicon TFT(Thin Film Transistor) at low temperature is provided to reduce weight and producing cost, and to improve a special quality of an isolation layer by reinforcing an etching characteristic.



CONSTITUTION: A metal layer is doped by a sputtering method on a plastic substrate(110). After photo etching the metal layer using a mask, a gate electrode(113) is formed. A silicon nitride or a silicon oxide, a non-crystal silicon, and an impurity non-crystal silicon are piled up sequentially on the substrate (110). A gate insulation layer(115), a semiconductor layer(119), and ohmic contact layer(123) are formed by etching the piled layers. On the ohmic contact layer(123), a metal such as Co, Mo, and Ti, is doped. Using a photo etching method, a source and a drain electrodes (125a, 125b) are made. The ohmic contact layer(123) is etched using the source and the drain electrodes(125a, 125b) as a mask. A shield membrane(127) covers the whole substrate(110) by PECVD(Plasma Enhanced Chemical Vapor Deposition) method. By patterning the shield membrane(127), a source/drain contact hole is built. A pixel electrode is produced after piling and etching an ITO(Indium Tin Oxide) metal layer. The pixel electrode is connected with the TFT(Thin Film Transistor) source/drain electrodes(125a, 125b) through the contact hole.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20011224)

Number of trial against decision to refuse (2002101000265)

Date of requesting trial against decision to refuse (20020121)

공개특허특2001-0002981

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. ⁶
H01L 29/786(11) 공개번호 특2001-0002981
(43) 공개일자 2001년01월15일(21) 출원번호 10-1999-0023080
(22) 출원일자 1999년06월19일(71) 출원인
엘지.필립스 엘시디 주식회사 구본준
서울특별시 영등포구 여의도동 20번지
엘지.필립스 엘시디 주식회사 론 위라하디락사
서울특별시 영등포구 여의도동 20번지(72) 발명자
최재범
경기도수원시팔달구인계동선경3차아파트306-1101
박용인
서울특별시양천구신월7동982-20삼익빌라B-201
연덕철
서울특별시송파구삼전동41-10호(74) 대리인
김용인
심사청구 : 있음

(54) 수소화 비정질실리콘 박막트랜지스터의 저온 제조방법

요약

본 발명에 따른 a-Si:H TFT 제조방법은, 투명한 플라스틱기판 위에 스퍼터링방법으로 금속을 적층한 후, 마스크를 이용하여 포토에칭하여 게이트전극을 형성하는 단계와, 상기한 게이트전극 위에 SiNx 또는 SiOx, 비정질실리콘(a-Si) 및 불순물 비정질실리콘(n+ a-Si)을 PECVD방법으로 연속 적층(Nin⁺연속증착)한 후, 에칭하여 게이트절연막, 반도체층 및 오믹컨택층을 형성하는 단계와, 상기한 오믹컨택층 위에 스퍼터링방법으로 Cr, Mo, 또는 Ti와 같은 금속을 적층하고 포토에칭하여 소스/드레인전극을 형성한 후, 상기한 소스/드레인전극을 마스크로 채널영역(channel region)의 오믹컨택층을 에칭하는 단계와, 상기한 기판 전체에 걸쳐서 보호막을 PECVD방법으로 적층한 후, 플라즈마 에칭방법으로 상기한 보호막을 패터닝하여 상기한 소스/드레인전극 콘택홀을 형성하는 단계를 포함하여 이루어 진다.

대표도

도23

색연이

박막트랜지스터, 비정질 실리콘, PECVD

영세서

도면의 간단한 설명

도 1은 종래 저온에서 제조된 수소화 비정질실리콘 박막트랜지스터의 단면도.

도 2(a), (b), (c) 및 (d)는 본 발명에 따라 수소화 비정질실리콘 박막트랜지스터를 저온에서 제조하는 방법을 나타내는 도면.

발명의 상세한 설명

발명의 속성

발명이 속하는 기술 및 그 분야 종래 기술

본 발명은 박막트랜지스터(Thin Film Transistor, 이하 TFT라함)의 제조방법에 관한 것으로, 특히 수소화 비정질 실리콘(a-Si:H) TFT를 저온에서 제조하는 방법에 관한 것이다.

TFT는 대면적 전자기기의 많은 분야에서 정보를 나타내기 위한 스위칭 소자로써 널리 이용된다. 이러한 TFT는, 액티브매트릭스형 액정표시소자(Active Matrix Liquid Crystal Display; AMLCD)에 매우 효과적으로 이용되는 것으로서, 서로 교차하는 주사선과 신호선에 의해 정의되는 복수의 매트릭스 상에 형성되어 각각의 매트릭스를 별도로 스위칭한다. 전압이 인가되면 주사선 및 신호선의 제어에 의해 해당 TFT가 액정분자의 배열을 변화시켜 빛의 투과 여부를 결정하게 된다.

그러나, 상기한 TFT는 유리기판 상에서, 약 250~400°C의 온도로 PECVD(Plasma Enhanced Chemical Vapor Deposition)법에 의해 처리되고, 250°C 이상의 증착온도를 필요로 하기 때문에 고온에 의하여 기판의 흠이 발생하기 때문에 유리기판에 비해 열에 약한 플라스틱기판을 사용하는데 걸림돌이 되었다.

이러한 문제점을 해결하고자, 미국특허 5,796,121호 '플라스틱기판 상에 제조된 박막트랜지스터'에서는, 낮은 전이온도를 갖는 플라스틱기판 상에 TFT를 제조하는 방법 및 그러한 방법에 의해 제조된 TFT가 제시되어 있다.

도 1은 종래 저온 제조된 a-Si:H TFT의 단면도로서, 도면에 나타내듯이, 플라스틱기판(도시하지 않음) 위에는 전기적 절연특성을 갖는 투명한 보호필름(10)이 스핀코팅 등에 의해 피복된다. 기판 위에는 Cr, Ta, Mo, W, Cu, 또는 그것의 화합물 등으로 이루어진 게이트전극(13)이 형성된다. 게이트전극(13) 위에는 SiNx 등으로 이루어진 게이트절연막(15)이 약 125°C에서 PECVD법에 의해 형성된다. 게이트절연막(15) 위에는 비정질실리콘(a-Si:H) 등으로 이루어진 반도체층(19)이 약 125°C에서 PECVD법에 의해 형성되고, 그 위에는 SiNx 등으로 이루어진 에칭스토퍼(21)가 PECVD방법에 의해 형성된다. 상기한 에칭스토퍼(21) 위에는 Mg 또는 Y 등과 같은 낮은 일함수(work function)의 금속으로 이루어진 오믹컨택층(23)이 PECVD법에 의해 형성되고, 그 위에는 Al 또는 Ta 등으로 이루어진 소스/드레인전극(25a, 25b)이 형성된다. 상기한 소스/드레인전극(25a, 25b) 위에는 기판의 전영역에 걸쳐 보호막(도시하지 않음)이 형성된다.

그러나, 상기한 TFT는 반도체층 위에 오믹컨택층으로서 불순물 비정질실리콘층을 사용하지 않으므로서, 높은 문턱전압(약 10 Volt)을 필요로 하는 등의 소자 특성이 나쁘고, SiNx증착시 SiH₄/He/N₂/NH₃를 사용하므로써 H₂의 에칭효과를 기대하기가 곤란하여, 요구되는 수준의 절연막특성을 얻기 힘들다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술을 감안하여 이루어진 것으로서, 본 발명의 목적은 저온에서 a-Si:H TFT를 제조하고 플라스틱기판을 이용하므로써, 저가이고 경량인 액정표시소자를 제공하는 것이다.

본 발명의 다른 목적은 상기한 TFT의 제조공정 중에 Ni⁺층을 연속하여 성막하고, 절연막 및 a-Si:H막의 성막 중에 H₂를 첨가하므로써 H플라즈마에 의한 에칭 특성을 향상시켜 절연막의 특성을 향상시키고자 하는 것이다.

상기한 목적을 달성하기 위하여, 본 발명에 따른 a-Si:H TFT 제조방법은, 투명한 플라스틱기판 위에 스퍼터링방법으로 금속을 적층한 후, 마스크를 이용하여 포토에칭하여 게이트전극을 형성하는 단계와, 상기한 게이트전극 위에 SiNx 또는 SiO_x, 비정질실리콘(a-Si) 및 불순물 비정질실리콘(n+ a-Si)을 PECVD법으로 연속 적층(Ni⁺연속 증착)한 후, 에칭하여 게이트절연막, 반도체층 및 오믹컨택층을 형성하는 단계와, 상기한 오믹컨택층 위에 스퍼터링방법으로 Cr, Mo, 또는 Ti와 같은 금속을 적층하고 포토에칭하여 소스/드레인전극을 형성한 후, 상기한 소스/드레인전극을 마스크로하여 채널영역(channel region)의 오믹컨택층을 에칭하는 단계와, 상기한 기판 전체에 걸쳐서 보호막을 PECVD방법으로 적층한 후, 플라즈마 에칭방법으로 상기한 보호막을 패터닝하여 상기한 소스/드레인전극 콘택홀을 형성하는 단계를 포함하여 이루어진다.

상기한 PECVD법은 120°C와 150°C 사이의 등온에서 수행되는데, 이러한 온도는 공정 중에 일정하게 유지된다.

또한, SiNx 또는 SiO_x, 비정질실리콘(a-Si) 및 불순물 비정질실리콘(n+ a-Si)의 증착시에 H₂를 첨가/증가시켜 수소플라즈마에 의한 에칭효과를 증가시켜 막의 특성을 향상시킨다.

설명의 구성 및 주제

이하, 첨부한 도면을 참조하여 본 발명에 따른 a-Si:H TFT 저온 제조방법을 상세히 설명한다.

우선, 도 2(a)에 나타낸 바와 같이, 투명한 플라스틱기판(110) 위에 스퍼터링방법으로 금속을 적층한 후, 마스크(mask)를 이용하여 포토에칭(photo etching)하여 게이트전극(113)을 형성한다. 이때, 상기한 플라스틱기판(110) 상에는 보호필름(도시하지 않음)이 형성되어 외부의 불리한 환경으로부터 기판을 보호한다. 또한, 상기한 게이트전극(113)은 Cr, Mo, Mo/Al, Ti 등과 같이 힐록(hillock)이 발생하지 않으며 양극산화가 일어나지 않는 금속으로 이루어져 있으며, 절연성의 향상을 위해 양극산화막을 형성하기도 한다.

그후, 도 2(b)에 나타낸 바와 같이, 상기한 플라스틱기판(110) 위에 SiNx 또는 SiOx, 비정질실리콘(a-Si) 및 불순물 비정질실리콘(n+ a-Si)을 PECVD법으로 연속 적층(Nin⁺연속증착)한 후, 에칭하여 게이트절연막(115), 반도체층(119) 및 오믹컨택층(123)을 형성한다.

이때, 상기한 PECVD법은 120°C와 150°C 사이의 등온에서 수행되는데, 이러한 온도는 공정 중에 일정하게 유지된다. 또한, SiNx 또는 SiOx, 비정질실리콘(a-Si) 및 불순물 비정질실리콘(n+ a-Si)의 증착시에 H₂

를 첨가/증가시켜 수소플라즈마에 의한 에칭효과를 증가시켜 막의 특성을 향상시킨다.

이어서, 도 2(c)에 나타낸 바와 같이, 상기한 오믹컨택층(123) 위에 스퍼터링방법으로 Cr, Mo, 또는 Ti와 같은 금속을 적층하고 포토에칭하여 소스/드레인전극(125a, 125b)을 형성한 후, 상기한 소스/드레인전극(125a, 125b)을 마스크로하여 채널영역(channel region)의 오믹컨택층(123)을 에칭한다.

그후, 도 2(d)에 나타낸 바와 같이, 상기한 TFT 및 상기한 기판(110) 전체에 걸쳐서 보호막(127)을 PECVD방법으로 적층한 후, 플라즈마 에칭방법으로 상기한 보호막(127)을 패터닝하여 TFT부의 소스/드레인전극(125a, 125b) 컨택홀을 형성한다. 이때, 상기한 PECVD법은 120°C와 150°C 사이의 등온에서 수행되는데, 이러한 온도는 상기한 Nin⁺연속증착과 마찬가지로 공정 중에 일정하게 유지된다. 이때, 상기한 소스/드레인전극(125a, 125b)이 Cr, Mo, Ti 등으로 이루어져 있기 때문에, TFT부에서는 에칭이 상기한 소스/드레인전극(125a, 125b)에 의해 저지된다.

그후, 비록 도면으로 나타내지는 않았지만, 상기한 보호막(127) 위에 스퍼터링방법으로 ITO(indium tin oxide)와 같은 투명금속을 적층하고 에칭하여 화소전극(도시하지 않음)을 형성한다. 상기한 화소전극은 보호막(127)의 컨택홀을 통해 TFT의 소스/드레인전극(125a, 125b)에 연결된다.

설명의 주제

본 발명의 TFT제조방법에 따르면, 저온PECVD법에 의해 TFT소자들을 형성하므로써, 제조공정 중에 기판이 고온에서 휘거나 수축되는 것을 방지하는 것이 가능하고, 비교적 열에 약한 저가, 경량의 플라스틱기판을 제공하므로써 대면적의 액정표시소자를 가능하게 한다.

또한, 본 발명에서는 Nin⁺연속증착시에 H₂를 첨가/증가 시키므로써 에칭효과를 높일 수 있다.

(57) 청구의 범위

청구항1

투명한 기판을 제공하는 단계와, 상기한 투명한 플라스틱기판 위에 게이트전극을 형성하는 단계와, 상기한 게이트전극 위에 H₂를 제공하면서 저온PECVD(Plasma Enhanced Chemical Vapor Deposition)법에 의해 게이트절연막, 반도체층 및 오믹컨택층을 형성하는 단계와, 상기한 오믹컨택층 위에 소스/드레인전극을 형성하는 단계와, 상기한 소스/드레인전극을 마스크로하여 채널영역의 오믹컨택층을 에칭하는 단계와, 상기한 기판 전체에 걸쳐서 컨택홀 갖는 보호막을 저온PECVD법에 의해 형성하는 단계와, 상기한 보호막의 컨택홀을 통하여 상기한 소스/드레인전극에 접속되는 화소전극을 형성하는 단계로 이루어진 비정질 수소화 실리콘 박막트랜지스터 저온 제조방법.

청구항2

제1항에 있어서, 상기한 게이트전극이 Cr, Mo, Mo/Al, 또는 Ti로 이루어진 일군으로부터 선택되는 것을 특징으로 하는 비정질 수소화 실리콘 박막트랜지스터 저온 제조방법.

청구항3

제1항에 있어서, 상기한 게이트절연막, 반도체층 및 오믹컨택층을 형성하는 단계가 SiN_x 또는 SiO_x , 비정질실리콘 및 불순률 비정질실리콘을 연속적으로 적층한 후 에칭하는 단계로 이루어진 것을 특징으로 하는 비정질 수소화 실리콘 박막트랜지스터 저온 제조방법.

청구항4

제1항에 있어서, 상기한 소스/드레인전극이 Cr, Mo, Mo/Al, 또는 Ti로 이루어진 일군으로부터 선택되는 것을 특징으로 하는 비정질 수소화 실리콘 박막트랜지스터 저온 제조방법.

청구항5

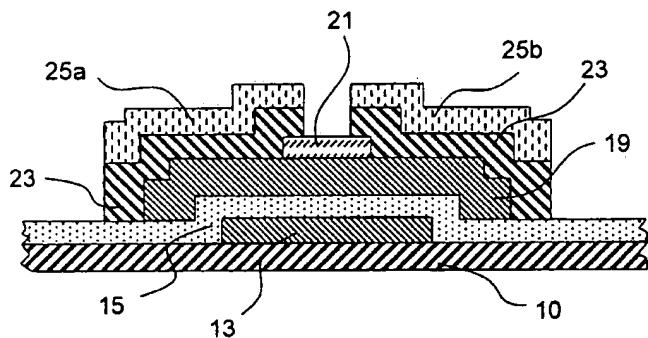
제1항에 있어서, 상기한 보호막이 ITO(indium tin oxide)로 이루어진 것을 특징으로 하는 비정질 수소화 실리콘 박막트랜지스터 저온 제조방법.

청구항6

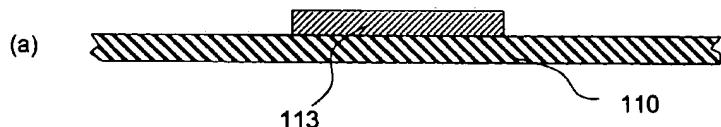
제1항에 있어서, 상기한 저온PECVD법이 120°C와 150°C 사이의 등온에서 실시되는 것을 특징으로 하는 비정질 수소화 실리콘 박막트랜지스터 저온 제조방법.

도면

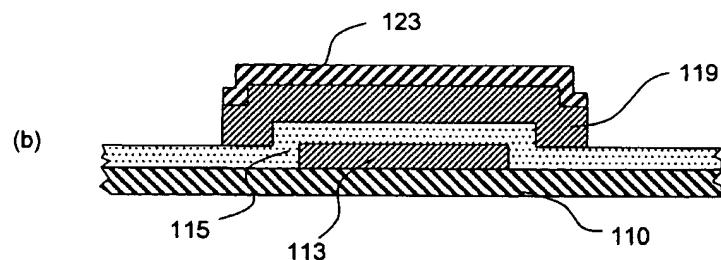
도면 1



도면 2a



도면 2b



도면 2c

